

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-280810

(43)Date of publication of application : 27. 09. 2002

---

(51)Int. Cl. H01P 5/18

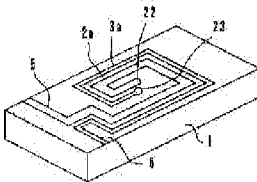
---

(21)Application number : 2001- (71)Applicant : MURATA MFG CO LTD  
076191

(22)Date of filing : 16. 03. 2001 (72)Inventor : IIDA NAOKI  
KAWAGUCHI MASAHIKO

---

(54) DIRECTIONAL COUPLER



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a small-sized directional coupler with less insertion loss where a main line and a sub line have a sufficient self inductance.

SOLUTION: Conductor patterns 2a, 3a for the main line and the sub line are formed on an upper side of an insulating board 1 by a method employing the photolithography technology. The main line conductor pattern 2a and the sub line conductor pattern 3a are formed in spiral while being located in parallel. In order to decrease the main line self inductance more than the sub line self inductance, the line width of the sub line conductor pattern 3a is selected narrower than the line width of the main line conductor pattern 2a. More concretely the line width of the sub line conductor pattern 3a is selected to be 50% or over and 90% or below of the line width of the main line conductor pattern 2a.

---

## LEGAL STATUS

[Date of request for examination] 13.08.2002

[Date of sending the examiner's decision of rejection] 02.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3651401

[Date of registration] 04.03.2005

[Number of appeal against examiner's decision of rejection] 2004-24577

[Date of requesting appeal against examiner's decision of rejection] 01.12.2004

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The directional coupler characterized by having been arranged on the same flat surface as the principal ray way where a RF signal is transmitted, and said principal ray way, having had the subtrack combined in electromagnetism in an opposite part with said principal ray way, and making the self-inductance value of said principal ray way lower than the self-inductance value of said subtrack.

[Claim 2] The directional coupler according to claim 1 which carries out the laminating of said principal ray way and the subtrack which have been arranged on the same flat surface on both sides of an insulator layer, and is characterized by connecting with a serial electrically through the beer hall which established subtracks in the principal ray

way list of each class at said insulator layer, respectively.

[Claim 3] The directional coupler according to claim 1 or 2 characterized by having set the electrode thickness of said principal ray way as 5 micrometers or more, and setting the ratio of the electrode thickness of said principal ray way and subtrack as 2:1 while making track width of face of said subtrack narrower than the track width of face of said principal ray way.

[Claim 4] The directional coupler according to claim 1 or 2 characterized by making track width of face of said subtrack into 90% or less of the track width of face of said principal ray way 50% or more.

[Claim 5] The directional coupler characterized by having carried out the laminating on both sides of the insulator layer between the principal ray way where a RF signal is transmitted, and said principal ray way, having had the subtrack combined in electromagnetism in an opposite part with said principal ray way, and having set up more narrowly than the track width of face of said principal ray way the track width of face of said subtrack, and making the self-inductance value of said principal ray way lower than the self-inductance value of said subtrack.

[Claim 6] The directional coupler according to claim 5 with which a grand electrode is characterized by the thing of said principal ray way or said subtrack for which any one track is countered on both sides of an insulator layer at least.

[Claim 7] The directional coupler according to claim 2 to 6 characterized by forming said principal ray way and said subtrack by the photolithography method using photosensitive conductive paste, and forming said insulator layer by the photolithography method using a photosensitive glass paste.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
-

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the directional coupler used for a directional coupler, especially mobile communication equipment, etc.

[0002]

[Description of the Prior Art] Conventionally, as a directional coupler,  $\lambda/4$  track is formed on a ceramic substrate at 2 parallel, and the thing which comes to connect the both ends of each track (a principal ray way and subtrack) with an external electrode is known. However, if the pattern formation field of a ceramic substrate becomes small with the miniaturization of a directional coupler, it will become difficult to form two straight-line-like tracks parallel in this field. Therefore, the track was made into the shape of a meandering configuration or a spiral type, and the device which forms a track in a small pattern formation field has been taken. Especially, a spiral-type-like track can acquire an equivalent self-inductance value in short track length as compared with the track of a straight-line configuration.

[0003] Moreover, there is the so-called side edge mold structure which arranges a principal ray way and a subtrack as mentioned above as combination structure of a principal ray way and a subtrack so that a coplanar (the same layer) may be adjoined. Or there is the so-called broadside mold structure which arranges a principal ray way and a subtrack on both sides of an insulator layer.

[0004]

[Problem(s) to be Solved by the Invention] However, if the miniaturization of a directional coupler progresses further, a pattern formation field will be reduced further. Therefore, it becomes difficult to form a principal ray way and a subtrack with a required self-inductance value in few of the field. When a subtrack cannot acquire sufficient self-inductance value especially, there is a problem that the isolation of a directional coupler worsens.

[0005] Moreover, in order to secure a required self-inductance value, even if it only makes thin track width of face of a principal ray way and a subtrack, the increment in resistance of a track is caused and it becomes the increment in the transmission loss of a signal. This is the problem which cannot be disregarded for mobile communication equipment, especially the communication equipment of a cell drive in order to cause increase of power consumption.

[0006] Then, the purpose of this invention has an insertion loss in offering few small directional couplers while a principal ray way and a subtrack have sufficient self-inductance value.

[0007]

[Means for Solving the Problem and its Function] In order to attain the above purpose, the directional coupler concerning this invention is arranged on the same flat surface as the principal ray way where a RF signal is transmitted, and a principal ray way, is equipped with the subtrack combined in electromagnetism in an opposite part with a principal ray way, and is characterized by making the self-inductance value of a principal ray way lower than the self-inductance value of a subtrack. Track width of face of for example, a subtrack is made narrower than the track width of face of a principal ray way as structure which makes the self-inductance value of a principal ray way lower than the self-inductance value of a subtrack here. More specifically, the track width of face of a subtrack is set 50% or more to 90% or less of the track width of face of a principal ray way.

[0008] A big self-inductance value is secured because the subtrack which needs a big self-inductance value narrows track width of face relatively by the above configuration. On the other hand, the resistance of a track is small held down because the principal ray way which does not need a big self-inductance value as compared with a subtrack makes track width of face large relatively. At this time, by setting the electrode thickness of a principal ray way as 5 micrometers or more, and setting the ratio of the electrode thickness of a principal ray way and a subtrack as 2:1, it becomes small the combined-resistance high-priced of a principal ray way and a subtrack, and the transmission loss of a signal is suppressed.

[0009] Moreover, the directional coupler of multilayer structure is obtained by carrying out the laminating of the principal ray way and the subtrack which have been arranged on the same flat surface on both sides of an insulator layer, and connecting with a serial electrically through the beer hall which established subtracks in the principal ray way list of each class at the insulator layer, respectively. Since this directional coupler can lengthen each track length of a principal ray way and a subtrack, in a high frequency band, higher degree of coupling is acquired and degree of coupling sufficient also in a low frequency band is acquired.

[0010] Moreover, the directional coupler concerning this invention is characterized by having carried out the laminating on both sides of the insulator layer between the principal ray way where a RF signal is

transmitted, and the principal ray way, having had the subtrack combined in electromagnetism in an opposite part with a principal ray way, and having set up the track width of face of a subtrack more narrowly than the track width of face of a principal ray way, and making the self-inductance value of a principal ray way lower than the self-inductance value of a subtrack. The thing of a principal ray way or a subtrack for which the grand electrode has countered any one track on both sides of an insulator layer at least is desirable here. Thereby, the so-called directional coupler of broadside mold structure is obtained.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of operation of the directional coupler concerning this invention is explained with reference to an attached drawing with the manufacture approach.

[0012] After grinding the top face of the insulating substrate 1 so that it may become a smooth field as shown in [1st operation gestalt, drawing 1 - drawing 6 ] drawing 1 , conductor pattern 2 for principal ray ways a, conductor pattern 3 for subtracks a, and the leader ways 5 and 6 are formed in the top face of the insulating substrate 1 by the thin film forming methods, such as thick film printing or sputtering, and vacuum evaporation.

[0013] The thin film forming method is an approach explained below. After forming the conductive film with comparatively thin thickness by sputtering, vacuum evaporation, etc. all over the abbreviation for the top face of the insulating substrate 1, photoresist film (for example, photopolymer film etc.) is formed in the whole abbreviation for the conductive film by the spin coat or printing. Next, the mask film with which the predetermined image pattern was formed in the top face of the photoresist film is put, and the part of a request of the photoresist film is stiffened by the approach of irradiating ultraviolet rays etc. Next, after leaving the hardened part and removing the photoresist film, the exposed conductive film of a part is removed by etching, and the conductors (the object for principal ray ways, conductor patterns 2a and 3a for subtracks, etc.) of a desired pattern configuration are formed. Then, the hardened photoresist film is removed. And in the approach using such so-called photolithography technique, well-known methods of construction, such as the wet etching method, the dry etching method, the lift-off method, an additive process, and a semiadditive process, are adopted suitably.

[0014] Furthermore, the approach of applying photosensitive conductive paste to the top face of the insulating substrate 1, and putting the mask film with which the after that predetermined image pattern was

formed, exposing, and developing as another thin film forming method, may be used. If photosensitive conductive paste is used especially, in the condition that the thickness of the conductive film is thick, micro processing becomes possible and low loss can be secured in operation of this invention. Moreover, since spacing between tracks can be narrowed, there is also an advantage with the highly acquirable degree of coupling between tracks.

[0015] Moreover, thick film printing is the approach of forming the conductors of the pattern configuration of a thick request of thickness (the object for principal ray ways, conductor patterns 2a and 3a for subtracks, etc.) in the top face of the insulating substrate 1 which applied the conductive paste from the screen version and was exposed from opening of the screen version comparatively, after putting the screen version equipped with opening with a desired pattern configuration on the top face of the insulating substrate 1.

[0016] conductor pattern 2a for principal ray ways and conductor pattern 3a for subtracks are formed in the shape of a spiral type in the same winding direction if it puts in another way -- in the condition of having run parallel to. And in order to make the self-inductance value  $L_a$  of the below-mentioned principal ray way 2 lower than the self-inductance value  $L_b$  of the subtrack 3, the track width of face of conductor pattern 3a for subtracks is set up more narrowly than the track width of face of conductor pattern 2a for principal ray ways. More specifically, it is desirable to set the track width of face of conductor pattern 3a for subtracks 50% or more to 90% or less of the track width of face of conductor pattern 2a for principal ray ways. Also in the object for principal ray ways and the conductor patterns 2a and 3a for subtracks which this prepared in few pattern formation fields, large isolation can be taken and pattern arrangement on the insulating substrate 1 can be made the optimal. Consequently, a property can be raised, without expanding the size of a directional coupler.

[0017] Here, the self-inductance value when designing, as it became on which the directional coupler of a \*\*\*\* 1 operation gestalt and the directional coupler of each other for the same frequency bands are made [ value ] equal, and each self-inductance value of a principal ray way and a subtrack spreads the track width of face of the object for principal ray ways and the conductor pattern for subtracks for them like before temporarily in abbreviation etc. is set to  $L_0$ . To this inductance value  $L_0$ , the \*\*\*\* 1 operation gestalt was designed so that the following relational expression (1) or either of (2) might be materialized between the self-inductance value  $L_a$  of the principal ray

way 2, and the self-inductance value  $L_b$  of the subtrack 3.

[0018]  $L_a < L_b = L_o$  -- (1)

$L_a = L_o < L_b$  -- (2)

[0019] In the case of relational expression (1), track width of face of conductor pattern 3a for subtracks is made equal to the track width of face of the conductor pattern for tracks of the conventional directional coupler, and it makes track width of face of conductor pattern 2a for principal ray ways thicker than the track width of face of the conductor pattern for tracks of the conventional directional coupler. On the other hand, in the case of relational expression (2), track width of face of conductor pattern 2a for principal ray ways is made equal to the track width of face of the conductor pattern for tracks of the conventional directional coupler, and it makes track width of face of conductor pattern 3a for subtracks thinner than the track width of face of the conductor pattern for tracks of the conventional directional coupler.

[0020] Moreover, in order to make higher the self-inductance value  $L_b$  of the subtrack 3, conductor pattern 3a for subtracks is running parallel to the location of the outside approach of conductor pattern 2a for principal ray ways.

[0021] Furthermore, electrode thickness of conductor pattern 2a for principal ray ways is set to 5 micrometers or more, and it was made for the ratio of the electrode thickness of conductor pattern 2a for principal ray ways and conductor pattern 3a for subtracks to be set to 2:1 with a \*\*\*\* 1 operation gestalt. That is, it is because the power of the RF signal which spreads the principal ray way 2 is larger than the power of the RF signal which spreads the subtrack 3. This becomes small the combined-resistance high-priced of the principal ray way 2 and the subtrack 3, and the transmission loss of a signal can be suppressed more.

[0022] The end was connected to conductor pattern 2a for principal ray ways, and the other end has exposed the leader way 5 to the side by the side of the back at the left end of the insulating substrate 1. The end was connected to conductor pattern 3a for subtracks, and the other end has exposed the leader way 6 to the side of the near side at the left end of the insulating substrate 1.

[0023] As an ingredient of the insulating substrate 1, glass, crystallized glass, an alumina, a ferrite, Si, and SiO<sub>2</sub> grade are used. As an ingredient of the leader ways 5 and 6, conductive ingredients, such as Ag, Ag-Pd, and Cu, nickel, aluminum, are used for the object for principal ray ways and the conductor patterns 2a and 3a for subtracks, and a list.

[0024] Next, as shown in drawing 2, the insulator layer 10 with



Openings 10a and 10b is formed. That is, a liquefied insulating ingredient is applied, dried and calcinated by the spin coat or printing all over the top face of the insulating substrate 1, and the insulator layer 10 is formed. For example, photosensitive polyimide resin, a photosensitive glass paste, etc. are used for an insulating ingredient. If usual polyimide resin and a usual glass paste are used, in order to process it into a desired pattern, it is necessary to form a resist layer and to process this resist layer. However, if photosensitive polyimide resin and a photosensitive glass paste are used, since the photosensitive ingredient applied completely is processible directly, the process of resist spreading and resist exfoliation can be skipped, and it becomes an efficient processing process.

[0025] Next, the mask film with which the predetermined image pattern was formed in the top face of the insulator layer 10 is put, and the part of a request of the insulator layer 10 is stiffened by the approach of irradiating ultraviolet rays etc. Next, a part for the non-hard spot of the insulator layer 10 is removed, and Openings 10a and 10b are formed. The end section 22 of spiral-type-like conductor pattern 2a for principal ray ways is exposed to opening 10a. The end section 23 of spiral-type-like conductor pattern 3a for subtracks is exposed to opening 10b.

[0026] Next, as shown in drawing 3, conductor pattern 2b for principal ray ways, conductor pattern 3 for subtracks b, and the leader ways 15 and 16 are formed by the thin film forming methods, such as thick film printing or sputtering, and vacuum evaporation, like the case where conductor pattern 2 for principal ray ways a etc. is formed. The openings 10a and 10b of the insulator layer 10 are filled up with a conductive ingredient, and it considers as beer halls 28 and 29.

[0027] It connects with the edge 22 of conductor pattern 2a for principal ray ways electrically through a beer hall 28 at a serial, and conductor pattern 2b for principal ray ways constitutes the principal ray way 2. It connects with the edge 23 of conductor pattern 3a for subtracks electrically through a beer hall 29 at a serial, and conductor pattern 3b for subtracks constitutes the subtrack 3. The conductor patterns 3a and 3b for subtracks are correct in the thickness direction of the insulator layer 10 in \*\*\*\* at conductor pattern 2a for principal ray ways, 2b, and a list, respectively. The end was connected to conductor pattern 2b for principal ray ways, and the other end has exposed the leader way 15 to the side by the side of the back at the right end of the insulating substrate 1. The end was connected to conductor pattern 3b for subtracks, and the other end has exposed the

leader way 16 to the side of the near side at the right end of the insulating substrate 1.

[0028] Next, as shown in drawing 4 , a liquefied insulating ingredient is applied, dried and calcinated by the spin coat or printing all over the top-face side of the insulating substrate 1, and it considers as the insulator layer 10 which -ed \*(ed) the object for principal ray ways and conductor pattern 2b for subtracks, 3b, and the leader ways 15 and 16. Then, the grand electrode of extensive area is formed in the inferior surface of tongue of the insulating substrate 1 if needed.

[0029] Next, the I/O external electrodes 31, 32, 33, and 34 are formed in the back side of the insulating substrate 1, and the lateral portion of a near side, respectively. It connected with the leader way 5 electrically, and the input external electrode 31 has connected the output external electrode 32 to it electrically on the leader way 15. Similarly, it connected with the leader way 6 electrically, and the input external electrode 33 has connected the output external electrode 34 to it electrically on the leader way 16. Apply conductive pastes, such as Ag, Ag-Pd, Cu, NiCr, NiCu, and nickel, and it was able to be burned upwards, and metal membranes, such as nickel, Sn, and Sn-Pb, are formed by wet electrolysis plating, and the external electrodes 31-34 are formed of sputtering, vacuum evaporation, etc.

[0030] In this way, the principal ray way 2 and the subtrack 3 are carrying out Rhine association of the directional coupler 39 of the acquired stripline mold structure in electromagnetism in the part which has countered on the same flat surface. The subtrack 3 can take out the output proportional to the power of the RF signal which spreads the principal ray way 2.

[0031] And the subtrack 3 which needs a big self-inductance value can secure a big self-inductance value by narrowing track width of face relatively. Consequently, the directional coupler 39 with big isolation can be obtained. The isolation property (continuous-line 41 reference) of a directional coupler 39 is shown in drawing 5 . In drawing 5 , the isolation property (dotted-line 44 reference) of the conventional directional coupler is also collectively indicated for a comparison. And as compared with the subtrack 3, the principal ray way 2 which does not need a big self-inductance value can hold down the resistance of a track small by making track width of face large relatively. Therefore, the insertion loss of a directional coupler 39 can be made low (see the insertion-loss property displayed as the continuous line 42 in drawing 5 ), and power consumption, such as mobile communication equipment of a cell drive, can be stopped.

[0032] Moreover, since a directional coupler 39 is not the structure which has arranged the principal ray way and the subtrack in a different layer on both sides of an insulator layer, dispersion in the property resulting from an alignment gap, thickness dispersion of a layer insulation body whorl, etc. which are generated between layers does not produce it.

[0033] In addition, it cannot be overemphasized that it may be made one layer or the directional coupler 39 of a \*\*\*\* 1 operation gestalt may be made into three or more layers if needed although the object for principal ray ways and the conductor pattern layer for subtracks which were arranged on the same flat surface are a two-layer thing. If it is made the multilayer structure more than two-layer, while being able to lengthen the track length of the principal ray way 2 and the subtrack 3 and being able to acquire high degree of coupling in a high frequency band, degree of coupling sufficient also in a low frequency band can be acquired (see the degree-of-coupling property displayed as the continuous line 43 in drawing 5 ).

[0034] Moreover, drawing 6 is a graph which shows the ratio of a subtrack / principal ray way, and the relation of isolation. From drawing 6 , if the track width of face of a subtrack is set to 90% or less of the track width of face of a principal ray way, it can check that the effectiveness of the improvement in an isolation property goes up. In addition, it is because the resistance of a subtrack increases and it becomes impossible to disregard the transmission loss of a signal, when the thing with desirable setting the track width of face of a subtrack to 50% or more of the track width of face of a principal ray way makes track width of face of a subtrack not much narrow.

[0035] The 2nd operation gestalt of [the 2nd operation gestalt, drawing 7 , and drawing 8 ] explains the so-called directional coupler of broadside mold structure.

[0036] As shown in drawing 7 , a directional coupler 51 arranges the ceramic green sheet 60 for protection to a top and the down side, carries out the laminating of the insulating ceramic green sheet 60 which formed the principal ray way 52, the subtrack 53, and the grand electrodes 54 and 55 in the front face, respectively to them, and comes to calcinate it to them, respectively.

[0037] Both ends 52a and 52b have exposed the principal ray way 52 to right and left of the side by the side of the back of a green sheet 60, respectively. Both ends 53a and 53b have exposed the subtrack 53 to right and left of the side of the near side of a green sheet 60, respectively. And in order to make the self-inductance value  $L_a$  of the

principal ray way 52 lower than the self-inductance value  $L_b$  of the subtrack 53, the track width of face of the subtrack 53 is set up more narrowly than the track width of face of the principal ray way 52. More specifically, it is desirable to set the track width of face of the subtrack 53 50% or more to 90% or less of the track width of face of the principal ray way 52.

[0038] The principal ray way 52 and the subtrack 53 are carrying out Rhine association in electromagnetism in the part of the straight-line configuration which has countered on both sides of the ceramic green sheet 60 in between. The grand electrodes 54 and 55 carry out the principal ray way 52 and the subtrack 53 in between, and are arranged at a top and the bottom. These principal ray way 52 grade is formed by the thin film forming methods (the photolithography method), such as thick film printing or sputtering, and vacuum evaporation.

[0039] The green sheet 60 which consists of the above configuration is accumulated, and let it be a layered product to being calcinated in one. As shown in drawing 8, the grand external electrodes 65 and 66 are formed in the edge surface part of this layered product at the I/O external electrodes 61 and 62 of the principal ray way 52, the I/O external electrodes 63 and 64 of the subtrack 53, and a list. The I/O external electrodes 61 and 62 are electrically connected to the edges 52a and 52b of the principal ray way 52, respectively. The I/O external electrodes 63 and 64 are electrically connected to the edges 53a and 53b of the subtrack 53, respectively. The grand external electrodes 65 and 66 are connected to the grand electrodes 54 and 55. This directional coupler 51 does so the same operation effectiveness as the directional coupler 39 of said 1st operation gestalt.

[0040] operation gestalt] besides [-- in addition, the directional coupler concerning this invention is not limited to said operation gestalt, within the limits of the summary, can be boiled variously and can be changed.

[0041] Although said operation gestalt makes the case from an individual an example and being explained, when mass-producing, the approach of manufacturing in the state of the mother substrate (wafer) equipped with two or more directional couplers, and starting for every product size with methods of construction, such as dicing, a scribe break, and laser, by the final process is effective.

[0042] Furthermore, a directional coupler may be constituted by forming a principal ray way and a subtrack directly on the printed circuit board in which the circuit pattern is formed. Moreover, the configuration of a principal ray way and a subtrack may be arbitrary, and may be a

meandering configuration etc. besides the shape of a spiral type of said operation gestalt, or a straight-line configuration.

[0043]

[Effect of the Invention] An insertion loss can be made low while big isolation is obtained, since according to this invention the principal ray way and the subtrack joined together in electromagnetism in the part which has countered on the same flat surface and made the self-inductance value of a principal ray way lower than the self-inductance value of a subtrack so that clearly from the above explanation. A property can be raised also in the principal ray way and the subtrack which were established in few pattern formation fields by making track width of face of a subtrack into 90% or less of the track width of face of a principal ray way 50% or more especially, without being able to take large isolation and expanding the size of a directional coupler.

[0044] Moreover, in the so-called directional coupler of broadside mold structure, while a principal ray way and a subtrack have sufficient self-inductance value by setting up the track width of face of a subtrack more narrowly than the track width of face of a principal ray way, and making the self-inductance value of a principal ray way lower than the self-inductance value of a subtrack, a directional coupler with them can be obtained. [ there are few insertion losses and small ]

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The perspective view showing the 1st operation gestalt of the directional coupler concerning this invention.

[Drawing 2] The perspective view showing the manufacture procedure following drawing 1 .

[Drawing 3] The perspective view showing the manufacture procedure following drawing 2 .

[Drawing 4] The perspective view showing the manufacture procedure following drawing 3 .

[Drawing 5] The graph which shows the isolation property, insertion-loss property, and degree-of-coupling property of the directional coupler shown in drawing 4 .

[Drawing 6] The graph which shows the ratio of a subtrack / principal ray way, and the relation of isolation.

[Drawing 7] The decomposition perspective view showing the configuration of the 2nd operation gestalt of the directional coupler concerning this invention.

[Drawing 8] The appearance perspective view of the directional coupler shown in drawing 7 .

[Description of Notations]

1 -- Insulating substrate

2 -- Principal ray way

2a, 2b -- Conductor pattern for principal ray ways

3 -- Subtrack

3a, 3b -- Conductor pattern for subtracks

10 -- Insulator layer

28 29 -- Beer hall

39 -- Directional coupler

51 -- Directional coupler

52 -- Principal ray way

53 -- Subtrack

54 55 -- Grand electrode

60 -- Ceramic green sheet

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

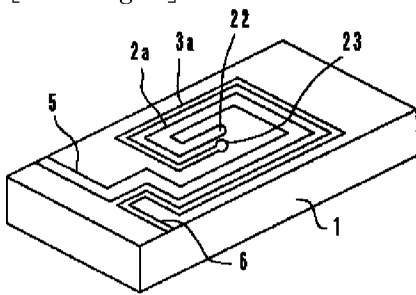
2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

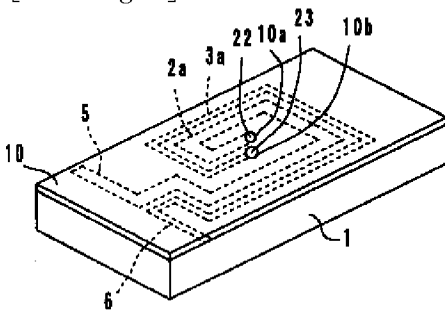
---

# DRAWINGS

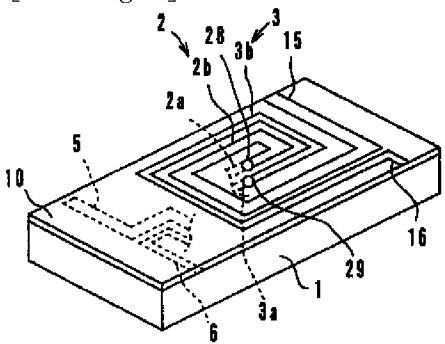
[Drawing 1]



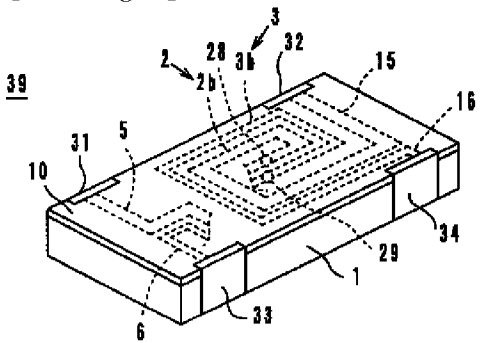
[Drawing 2]



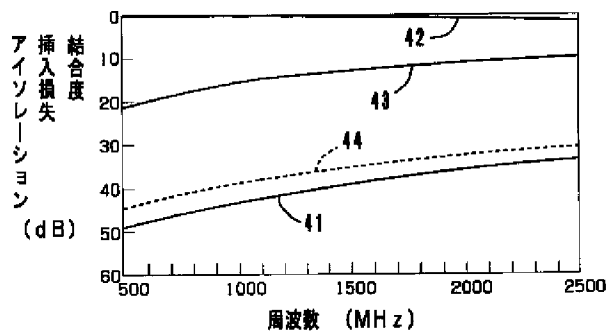
[Drawing 3]



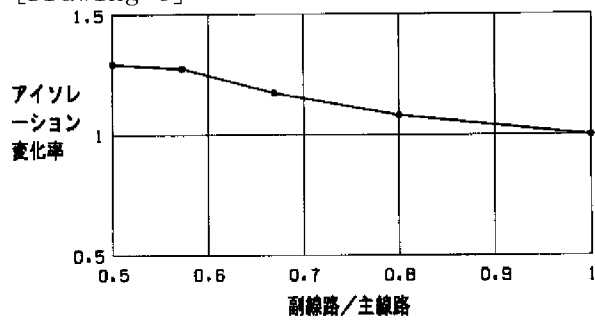
[Drawing 4]



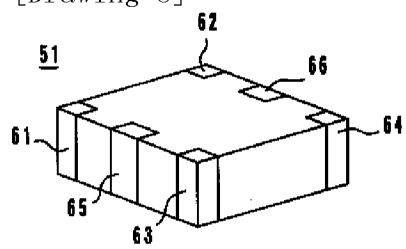
[Drawing 5]



[Drawing 6]

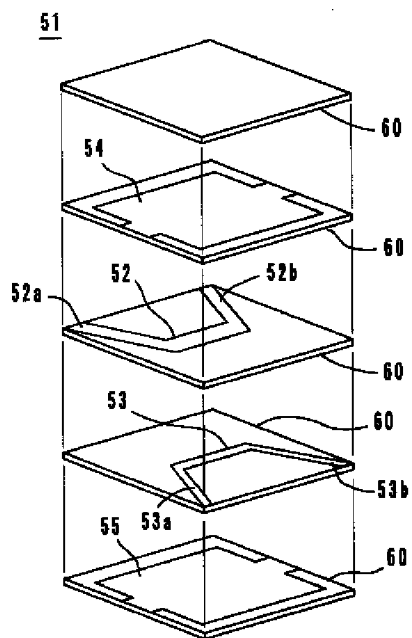


[Drawing 8]



[Drawing 7]





---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-280810  
(P2002-280810A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.Cl.<sup>7</sup>

H 0 1 P 5/18

識別記号

F I

H 0 1 P 5/18

テーマコード(参考)

F

J

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号 特願2001-76191(P2001-76191)

(22)出願日 平成13年3月16日(2001.3.16)

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 飯田 直樹

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72)発明者 川口 正彦

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74)代理人 100091432

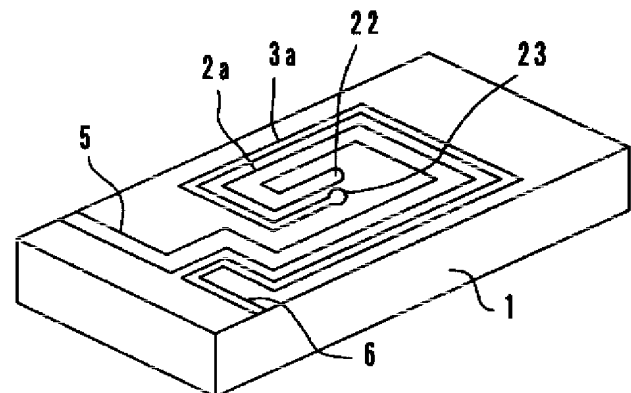
弁理士 森下 武一

(54)【発明の名称】 方向性結合器

(57)【要約】

【課題】 主線路及び副線路が十分な自己インダクタンス値を有するとともに、挿入損失が少なく小型の方向性結合器を得る。

【解決手段】 絶縁性基板1の上面に、フォトリソグラフィ技術を用いた方法により主線路用及び副線路用導体パターン2a、3aを形成する。主線路用導体パターン2aと副線路用導体パターン3aは、並走した状態で渦巻形状に形成されている。そして、主線路の自己インダクタンス値を副線路の自己インダクタンス値より低くするため、副線路用導体パターン3aの線路幅が、主線路用導体パターン2aの線路幅より狭く設定されている。より具体的には、副線路用導体パターン3aの線路幅を主線路用導体パターン2aの線路幅の50%以上90%以下に設定する。



【特許請求の範囲】

【請求項1】 高周波信号が伝送される主線路と、前記主線路と同一平面上に配設され、前記主線路との対向部分で電磁氣的に結合する副線路とを備え、前記主線路の自己インダクタンス値を前記副線路の自己インダクタンス値より低くしたことを特徴とする方向性結合器。

【請求項2】 同一平面上に配置された前記主線路及び副線路を絶縁体層を挟んで積層し、各層の主線路同士並びに副線路同士をそれぞれ前記絶縁体層に設けたビアホールを介して電氣的に直列に接続したことを特徴とする請求項1記載の方向性結合器。

【請求項3】 前記副線路の線路幅を前記主線路の線路幅より狭くするとともに、前記主線路の電極厚みを $5\mu\text{m}$ 以上に設定し、かつ、前記主線路と副線路の電極厚みの比を2:1に設定したことを特徴とする請求項1又は請求項2記載の方向性結合器。

【請求項4】 前記副線路の線路幅を前記主線路の線路幅の50%以上90%以下としたことを特徴とする請求項1又は請求項2記載の方向性結合器。

【請求項5】 高周波信号が伝送される主線路と、前記主線路との間に絶縁体層を挟んで積層され、前記主線路との対向部分で電磁氣的に結合する副線路とを備え、前記副線路の線路幅を前記主線路の線路幅より狭く設定し、かつ、前記主線路の自己インダクタンス値を前記副線路の自己インダクタンス値より低くしたことを特徴とする方向性結合器。

【請求項6】 グランド電極が前記主線路又は前記副線路の少なくともいずれか一つの線路に絶縁体層を挟んで対向していることを特徴とする請求項5記載の方向性結合器。

【請求項7】 前記主線路および前記副線路が感光性導電ペーストを用いてフォトリソグラフィ法にて形成され、かつ、前記絶縁体層が感光性ガラスペーストを用いてフォトリソグラフィ法にて形成されていることを特徴とする請求項2～請求項6のいずれかに記載の方向性結合器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は方向性結合器、特に移動体通信機器等に用いられる方向性結合器に関する。

【0002】

【従来の技術】従来より、方向性結合器として、セラミック基板に入／4線路を2本平行に形成し、それぞれの線路（主線路及び副線路）の両端を外部電極に接続してなるものが知られている。しかし、方向性結合器の小型化に伴い、セラミック基板のパターン形成領域が小さくなると、この領域内に平行な2本の直線状線路を形成することが困難になってきた。そのため、線路を蛇行形

状や渦巻形状にし、小さいパターン形成領域内に線路を形成する工夫が採られてきた。特に、渦巻形状の線路は、直線形状の線路と比較して、短い線路長で同等の自己インダクタンス値を得ることができる。

【0003】また、主線路と副線路の組み合わせ構造としては、上述のように、同一平面上（同一層）に隣り合うように主線路と副線路を配置する、いわゆるサイドエッジ型構造がある。あるいは、主線路と副線路を絶縁体層を挟んで配置する、いわゆるブロードサイド型構造がある。

【0004】

【発明が解決しようとする課題】しかしながら、方向性結合器の小型化がさらに進むと、パターン形成領域はさらに縮小される。従って、その僅かな領域内に、必要な自己インダクタンス値を有した主線路及び副線路を形成することが困難になる。特に、副線路が十分な自己インダクタンス値を得られない場合には、方向性結合器のアイソレーションが悪くなるという問題がある。

【0005】また、必要な自己インダクタンス値を確保するために、単に主線路と副線路の線路幅を細くしても、線路の抵抗値増加を招き、信号の伝送損失の増加となる。これは、消費電力の増大を招くため、移動体通信機器、特に電池駆動の通信機器にとっては無視することができない問題である。

【0006】そこで、本発明の目的は、主線路及び副線路が十分な自己インダクタンス値を有するとともに、挿入損失が少なく小型の方向性結合器を提供することにある。

【0007】

【課題を解決するための手段及び作用】以上の目的を達成するため、本発明に係る方向性結合器は、高周波信号が伝送される主線路と、主線路と同一平面上に配設され、主線路との対向部分で電磁氣的に結合する副線路とを備え、主線路の自己インダクタンス値を副線路の自己インダクタンス値より低くしたことを特徴とする。ここに、主線路の自己インダクタンス値を副線路の自己インダクタンス値より低くする構造として、例えば、副線路の線路幅を主線路の線路幅より狭くする。より具体的には、副線路の線路幅を主線路の線路幅の50%以上90%以下に設定するようにする。

【0008】以上の構成により、大きな自己インダクタンス値を必要とする副線路は、線路幅を相対的に狭くすることで大きな自己インダクタンス値が確保される。一方、副線路と比較して大きな自己インダクタンス値を必要としない主線路は、線路幅を相対的に広くすることで線路の抵抗値が小さく抑えられる。このとき、主線路の電極厚みを $5\mu\text{m}$ 以上に設定し、かつ、主線路と副線路の電極厚みの比を2:1に設定することにより、主線路と副線路の合成抵抗値がさらに小さくなり、信号の伝送損失が抑えられる。

【0009】また、同一平面上に配置された主線路及び副線路を絶縁体層を挟んで積層し、各層の主線路同士並びに副線路同士をそれぞれ絶縁体層に設けたビアホールを介して電氣的に直列に接続することにより、多層構造の方向性結合器が得られる。この方向性結合器は、主線路及び副線路のそれぞれの線路長を長くすることができるため、高周波帯域ではより高い結合度が得られ、低周波帯域でも十分な結合度が得られる。

【0010】また、本発明に係る方向性結合器は、高周波信号が伝送される主線路と、主線路との間に絶縁体層を挟んで積層され、主線路との対向部分で電磁氣的に結合する副線路とを備え、副線路の線路幅を主線路の線路幅より狭く設定し、かつ、主線路の自己インダクタンス値を副線路の自己インダクタンス値より低くしたことを特徴とする。ここに、グランド電極が主線路又は副線路の少なくともいずれか一つの線路に絶縁体層を挟んで対向していることが好ましい。これにより、いわゆるブロードサイド型構造の方向性結合器が得られる。

【0011】

【発明の実施の形態】以下、本発明に係る方向性結合器の実施の形態について、その製造方法と共に、添付の図面を参照して説明する。

【0012】〔第1実施形態、図1～図6〕図1に示すように、絶縁性基板1の上面を平滑な面になるように研磨した後、厚膜印刷法あるいはスパッタリング、蒸着等の薄膜形成法により主線路用導体パターン2a、副線路用導体パターン3a及び引出し線路5、6を絶縁性基板1の上面に形成する。

【0013】薄膜形成法は、例えば以下に説明する方法である。絶縁性基板1の上面の略全面に比較的膜厚の薄い導電性膜をスパッタリングや蒸着などで形成した後、フォトレジスト膜（例えば感光性樹脂膜等）をスピンコート又は印刷により導電性膜の略全体に形成する。次に、フォトレジスト膜の上面に所定の画像パターンが形成されたマスクフィルムを被せ、紫外線等を照射する等の方法により、フォトレジスト膜の所望の部分を硬化させる。次に、硬化した部分を残してフォトレジスト膜を剥がした後、露出した部分の導電性膜をエッチングで除去し、所望のパターン形状の導電体（主線路用及び副線路用導体パターン2a、3a等）を形成する。この後、硬化したフォトレジスト膜を除去する。そして、このような、いわゆるフォトリソグラフィ技術を用いた方法において、ウェットエッチング法、ドライエッチング法、リフトオフ法、アディティブ法、セミアディティブ法等の周知の工法が適宜採用される。

【0014】さらに、別の薄膜形成法として、絶縁性基板1の上面に感光性導電ペーストを塗布し、その後所定の画像パターンが形成されたマスクフィルムを被せて露光し、現像する方法でもよい。特に、感光性導電ペーストを用いると、導電性膜の膜厚が厚い状態で微細加工が

可能となり、本発明の実施においては低損失が確保できる。また、線路間の間隔を狭くすることができるため、線路間の結合度を高く取得できるなどの利点もある。

【0015】また、厚膜印刷法は、例えば所望のパターン形状を有した開口を備えたスクリーン版を絶縁性基板1の上面に被せた後、導電性ペーストをスクリーン版の上から塗布し、スクリーン版の開口から露出した絶縁性基板1の上面に、比較的膜厚の厚い所望のパターン形状の導電体（主線路用及び副線路用導体パターン2a、3a等）を形成する方法である。

【0016】主線路用導体パターン2aと副線路用導体パターン3aは、並走した状態で（言い換えると同一巻回方向で）渦巻形状に形成されている。そして、後述の主線路2の自己インダクタンス値 $L_a$ を副線路3の自己インダクタンス値 $L_b$ より低くするため、副線路用導体パターン3aの線路幅が、主線路用導体パターン2aの線路幅より狭く設定されている。より具体的には、副線路用導体パターン3aの線路幅を主線路用導体パターン2aの線路幅の50%以上90%以下に設定することが好ましい。これにより、僅かなパターン形成領域に設けた主線路用及び副線路用導体パターン2a、3aにおいても、アイソレーションを大きくとることができ、絶縁性基板1上のパターン配置を最適にすることができる。この結果、方向性結合器のサイズを拡大することなく、特性を向上させることができる。

【0017】ここで、仮に、本第1実施形態の方向性結合器と同一周波数帯用の方向性結合器を、従来のように主線路用と副線路用導体パターンの線路幅を互いに等しくし、主線路及び副線路のそれぞれの自己インダクタンス値が略等しくなるようにして設計したときの自己インダクタンス値を $L_o$ とする。このインダクタンス値 $L_o$ に対して、本第1実施形態は、主線路2の自己インダクタンス値 $L_a$ と副線路3の自己インダクタンス値 $L_b$ との間に、以下の関係式（1）又は（2）のいずれか一方が成立するように設計した。

$$【0018】L_a < L_b = L_o \cdots (1)$$

$$L_a = L_o < L_b \cdots (2)$$

【0019】関係式（1）の場合は、副線路用導体パターン3aの線路幅を従来の方向性結合器の線路用導体パターンの線路幅と等しくし、主線路用導体パターン2aの線路幅を従来の方向性結合器の線路用導体パターンの線路幅より太くしたものである。一方、関係式（2）の場合は、主線路用導体パターン2aの線路幅を従来の方向性結合器の線路用導体パターンの線路幅と等しくし、副線路用導体パターン3aの線路幅を従来の方向性結合器の線路用導体パターンの線路幅より細くしたものである。

【0020】また、副線路3の自己インダクタンス値 $L_b$ をより高くするために、副線路用導体パターン3aは、主線路用導体パターン2aの外側寄りの位置を並走

している。

【0021】さらに、本第1実施形態では、主線路用導体パターン2aの電極厚みを $5\mu\text{m}$ 以上にし、かつ、主線路用導体パターン2aと副線路用導体パターン3aの電極厚みの比が2:1になるようにした。つまり、副線路3を伝搬する高周波信号の電力より、主線路2を伝搬する高周波信号の電力の方が大きいからである。これにより、主線路2と副線路3の合成抵抗値がさらに小さくなり、信号の伝送損失をより抑えることができる。

【0022】引出し線路5は、その一端が主線路用導体パターン2aに接続され、他端が絶縁性基板1の左端の奥側の辺に露出している。引出し線路6は、その一端が副線路用導体パターン3aに接続され、他端が絶縁性基板1の左端の手前側の辺に露出している。

【0023】絶縁性基板1の材料としては、ガラス、ガラスセラミックス、アルミナ、フェライト、Si、 $\text{SiO}_2$ 等が用いられる。主線路用及び副線路用導体パターン2a、3a、並びに、引出し線路5、6の材料としては、Ag、Ag-Pd、Cu、Ni、Al等の導電性材料が使用される。

【0024】次に、図2に示すように、開口部10a、10bを有した絶縁体層10が形成される。すなわち、液状の絶縁性材料を絶縁性基板1の上面の全面にスピンコート又は印刷等により塗布、乾燥及び焼成して絶縁体層10を形成する。絶縁性材料には、例えば感光性ポリイミド樹脂や感光性ガラスペースト等が使用される。通常のポリイミド樹脂やガラスペーストを使用すると、所望のパターンに加工するためには、レジスト層を形成し、該レジスト層を加工する必要がある。しかし、感光性ポリイミド樹脂や感光性ガラスペーストを使用すると、直接、全面塗布された感光性材料を加工できるため、レジスト塗布およびレジスト剥離の工程を省くことができ、効率良い加工工程となる。

【0025】次に、絶縁体層10の上面に所定の画像パターンが形成されたマスクフィルムを被せ、紫外線等を照射する等の方法により、絶縁体層10の所望の部分を硬化させる。次に、絶縁体層10の未硬化部分を除去し、開口部10a、10bを形成する。開口部10aには、渦巻形状の主線路用導体パターン2aの一端部22が露出している。開口部10bには、渦巻形状の副線路用導体パターン3aの一端部23が露出している。

【0026】次に、図3に示すように、主線路用導体パターン2b、副線路用導体パターン3b及び引出し線路15、16が、主線路用導体パターン2a等を形成した場合と同様に、厚膜印刷法あるいはスパッタリング、蒸着等の薄膜形成法により形成される。絶縁体層10の開口部10a、10bには導電性材料が充填され、ビアホール28、29とされる。

【0027】主線路用導体パターン2bは、ビアホール28を介して主線路用導体パターン2aの端部22に電

氣的に直列に接続し、主線路2を構成している。副線路用導体パターン3bは、ビアホール29を介して副線路用導体パターン3aの端部23に電氣的に直列に接続し、副線路3を構成している。主線路用導体パターン2aと2b、並びに、副線路用導体パターン3aと3bは、それぞれ絶縁体層10の厚み方向に略重なり合っている。引出し線路15は、その一端が主線路用導体パターン2bに接続され、他端が絶縁性基板1の右端の奥側の辺に露出している。引出し線路16は、その一端が副線路用導体パターン3bに接続され、他端が絶縁性基板1の右端の手前側の辺に露出している。

【0028】次に、図4に示すように、液状の絶縁性材料を絶縁性基板1の上面側全面にスピンコート又は印刷等により塗布、乾燥および焼成して、主線路用及び副線路用導体パターン2b、3bおよび引出し線路15、16を被覆した絶縁体層10とする。この後、必要に応じて、絶縁性基板1の下面に広面積のグランド電極を形成する。

【0029】次に、絶縁性基板1の奥側及び手前側の側面部に、それぞれ入出力外部電極31、32、33、34を設ける。入力外部電極31は引出し線路5に電氣的に接続し、出力外部電極32は引出し線路15に電氣的に接続している。同様に、入力外部電極33は引出し線路6に電氣的に接続し、出力外部電極34は引出し線路16に電氣的に接続している。外部電極31～34は、Ag、Ag-Pd、Cu、NiCr、NiCu、Ni等の導電性ペーストを塗布、焼付けた上に湿式電解めっきによりNi、Sn、Sn-Pbなどの金属膜が形成されたり、また、スパッタリング、蒸着などによって形成される。

【0030】こうして得られたストリップライン型構造の方向性結合器39は、主線路2と副線路3が同一平面上で対向している部分で電磁氣的にライン結合している。副線路3は、主線路2を伝搬する高周波信号の電力に比例した出力を取り出すことができる。

【0031】そして、大きな自己インダクタンス値を必要とする副線路3は、線路幅を相対的に狭くすることで大きな自己インダクタンス値を確保することができる。この結果、大きなアイソレーションを有した方向性結合器39を得ることができる。図5に、方向性結合器39のアイソレーション特性(実線41参照)を示す。図5には、比較のため、従来の方向性結合器のアイソレーション特性(点線44参照)も併せて記載している。そして、副線路3と比較して、大きな自己インダクタンス値を必要としない主線路2は、線路幅を相対的に広くすることで線路の抵抗値を小さく抑えることができる。従って、方向性結合器39の挿入損失を低くでき(図5において、実線42で表示した挿入損失特性を参照)、電池駆動の移動体通信機器等の消費電力を抑えることができる。

【0032】また、方向性結合器39は、主線路と副線路を絶縁体を挟んで異なる層に配置した構造ではないため、層間において発生するアライメントずれや層間絶縁体層の厚みばらつきなどに起因する特性のばらつきが生じない。

【0033】なお、本第1実施形態の方向性結合器39は、同一平面上に配設された主線路用及び副線路用導体パターン層が2層のものであるが、必要に応じて1層にしたり、3層以上にしたりしてもよいことは言うまでもない。2層以上の多層構造にすると、主線路2及び副線路3の線路長を長くすることができ、高周波帯域で高い結合度を得ることができると共に、低周波帯域でも十分な結合度を得ることができる(図5において、実線43で表示した結合度特性を参照)。

【0034】また、図6は、副線路/主線路の比とアイソレーションの関係を示すグラフである。図6より、副線路の線路幅を主線路の線路幅の90%以下に設定すると、アイソレーション特性向上の効果が上がることが確認できる。なお、副線路の線路幅を主線路の線路幅の50%以上に設定することが好ましいのは、副線路の線路幅をあまり狭くすると、副線路の抵抗値が増加し、信号の伝送損失が無視できなくなるからである。

【0035】[第2実施形態、図7及び図8]第2実施形態は、いわゆるブロードサイド型構造の方向性結合器について説明する。

【0036】図7に示すように、方向性結合器51は、主線路52、副線路53、グランド電極54、55をそれぞれ表面に設けた絶縁性のセラミックグリーンシート60を、上側及び下側にそれぞれ保護用セラミックグリーンシート60を配置して積層し、焼成してなるものである。

【0037】主線路52は、両端52a、52bがそれぞれグリーンシート60の奥側の辺の左右に露出している。副線路53は、両端53a、53bがそれぞれグリーンシート60の手前側の辺の左右に露出している。そして、主線路52の自己インダクタンス値L<sub>a</sub>を副線路53の自己インダクタンス値L<sub>b</sub>より低くするため、副線路53の線路幅が主線路52の線路幅より狭く設定されている。より具体的には、副線路53の線路幅を主線路52の線路幅の50%以上90%以下に設定することが好ましい。

【0038】主線路52と副線路53は、セラミックグリーンシート60を間に挟んで対向している直線形状の部分で電磁氣的にライン結合している。グランド電極54、55は、主線路52及び副線路53を間に上側及び下側に配置されている。これら主線路52等は、厚膜印刷法あるいは、スパッタリング、蒸着等の薄膜形成法(フォトリソグラフィ法)により形成される。

【0039】以上の構成からなるグリーンシート60は、積み重ねられ、一体的に焼成され積層体とされる。

図8に示すように、この積層体の端面部には、主線路52の入出力外部電極61、62、副線路53の入出力外部電極63、64、並びに、グランド外部電極65、66が形成される。入出力外部電極61、62は、それぞれ主線路52の端部52a、52bに電氣的に接続されている。入出力外部電極63、64は、それぞれ副線路53の端部53a、53bに電氣的に接続されている。グランド外部電極65、66は、グランド電極54、55に接続されている。この方向性結合器51は、前記第1実施形態の方向性結合器39と同様の作用効果を奏する。

【0040】[他の実施形態]なお、本発明に係る方向性結合器は前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0041】前記実施形態は個産の場合を例にして説明しているが、量産する場合には、複数の方向性結合器を備えたマザー基板(ウエハ)の状態で製造し、最終工程でダイシング、スクライブブレイク、レーザ等の工法により製品サイズ毎に切り出す方法が効果的である。

【0042】さらに、方向性結合器は、回路パターンが形成されているプリント基板上に直接に主線路と副線路を形成することによって構成されたものであってもよい。また、主線路及び副線路の形状は任意であって、前記実施形態の渦巻形状や直線形状の他に、蛇行形状等であってもよい。

【0043】

【発明の効果】以上の説明から明らかなように、本発明によれば、主線路と副線路が同一平面上で対向している部分で電磁氣的に結合し、主線路の自己インダクタンス値を副線路の自己インダクタンス値より低くしたので、大きなアイソレーションが得られるとともに、挿入損失を低くできる。特に、副線路の線路幅を主線路の線路幅の50%以上90%以下とすることにより、僅かなパターン形成領域に設けた主線路及び副線路においても、アイソレーションを大きくとることができ、方向性結合器のサイズを拡大することなく、特性を向上させることができる。

【0044】また、いわゆるブロードサイド型構造の方向性結合器において、副線路の線路幅を主線路の線路幅より狭く設定し、かつ、主線路の自己インダクタンス値を副線路の自己インダクタンス値より低くすることにより、主線路及び副線路が十分な自己インダクタンス値を有するとともに、挿入損失が少なく小型の方向性結合器を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る方向性結合器の第1実施形態を示す斜視図。

【図2】図1に続く製造手順を示す斜視図。

【図3】図2に続く製造手順を示す斜視図。

【図4】図3に続く製造手順を示す斜視図。

【図5】図4に示した方向性結合器のアイソレーション特性、挿入損失特性及び結合度特性を示すグラフ。

【図6】副線路／主線路の比とアイソレーションの関係を示すグラフ。

【図7】本発明に係る方向性結合器の第2実施形態の構成を示す分解斜視図。

【図8】図7に示した方向性結合器の外観斜視図。

【符号の説明】

1…絶縁性基板

2…主線路

2 a, 2 b…主線路用導体パターン

3…副線路

3 a, 3 b…副線路用導体パターン

10…絶縁体層

28, 29…ビアホール

39…方向性結合器

51…方向性結合器

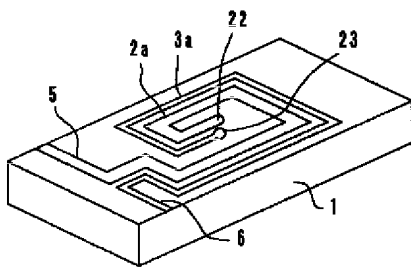
52…主線路

53…副線路

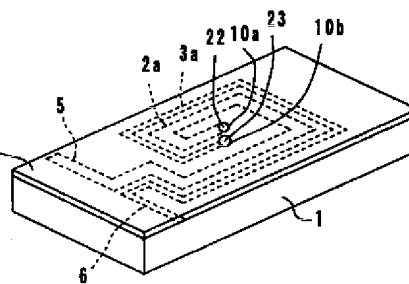
54, 55…グランド電極

60…セラミックグリーンシート

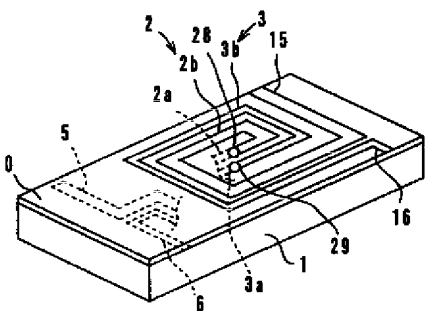
【図1】



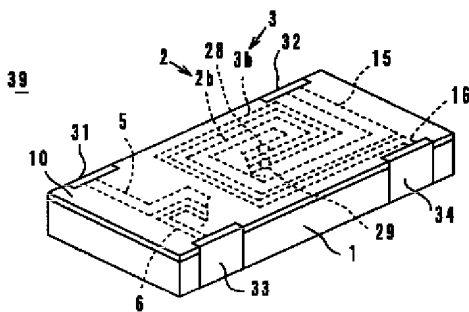
【図2】



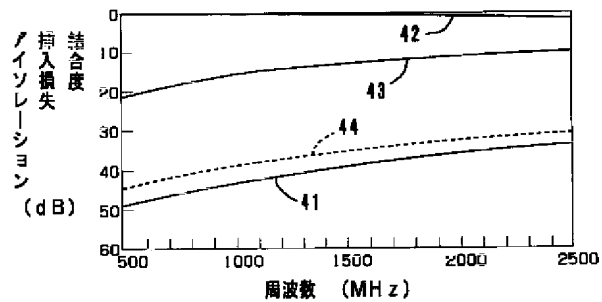
【図3】



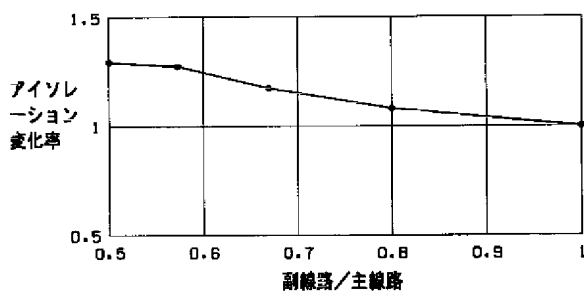
【図4】



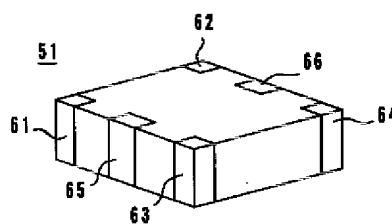
【図5】



【図6】



【図8】



【図7】

